عنوان	فهرست مطالب	صفحه

پیشگفتار ۱۵

فصل اول: مقدمه و تعاریف اساسی ۱۷

۱-۱) طراحی خودکار ۱۷

۱-۲) نمونه اولیه ۱۸

۱-۳) تولید ۱۸

۱-۴) ابزارهای طراحی بکمک کامپیوتر ۲۰

۱-۵) مدلسازی سخت افزار ۲۰

۱-۶) سطوح مختلف انتزاع ۲۱

۱-۷) نمودار Y ۲۱

۱-۸) بهینه سازی ۲۲

۱-۹) سطح فیزیکی ۲۳

۱-۱۰) سطح منطقی ۲۳

۱-۱۱) سطح ریزمعماری ۲۳

۱-۱۲) سطح معماری ۲۴

۱-۱۳) سطح سیستم ۲۴

۱-۱۴) شبیه ساز ۲۴

۱-۱۵) ابزار سنتز ۲۵

۱-۱۶) مراحل طراحی بکمک کامپیوتر ۲۵

۱-۱۷) سخت افزارهای برنامه پذیر ۲۷

۱-۱۸) مزایای استفاده از مدارات برنامه پذیر ۲۷

فصل دوم : سخت افزارهای برنامه پذیر (PROM, PLA, PAL, GAL, SPLD) ۳۱

۲-۱) مقدمه ۳۱

۲-۲) حافظه فقط خواندنی قابل برنامه ریزی(PROM) ۳۳

۲-۳) افزاره منطقی برنامه پذیر (PLD) ۳۴

۲-۴) آرایه های منطقی قابل برنامه ریزی (PLA) ۳۵

۲-۵) منطق آرایه ای برنامه پذیر (PAL) ۳۹

۲-۵-۱) منطق های آرایه ای قابل برنامه ریزی ترکیبی (Combinational PALs) ۴۰

۲-۵-۲) منطق آرایه ای قابل برنامه ریزی ترتیبی (Sequential PAL) ۴۳

۲-۶) منطق آرایه ای عمومی (GAL) ۴۶

۲-۶-۱) منطق آرایه ای عمومی ترکیبی (Combinational GAL) ۴۸

۲-۶-۱-۱) پیکربندی GAL16V8C ۴۸

۲-۶-۱-۲) پیکربندی GAL16V8S ۴۸

۲-۶-۲) منطق آرایه ای عمومی ترتیبی (Sequential GAL) ۵۱
۲-۷) تکنولوژی ساخت PLD ها ۵۶
۲-۷-۱) افزاره منطقی برنامه پذیر دوقطبی (Bipolar PLD) ۵۶
۲-۷-۲) افزاره منطقی برنامه پذیر سیماس (CMOS PLD) ۵۸
۲-۷-۳) ابزارهای منطقی قابل برنامه ریزی و پاک شدن (EPLD ها) ۵۹
۲-۷-۴) تکنولوژی گیت شناور ۶۰

فصل سوم : سخت افزارهای برنامه پذیر (MPGA , FPGA) ۶۱
۳-۱) آرایهٔ دروازه های برنامه پذیر نقابی (MPGA) ۶۱
۳-۲) آرایهٔ دروازه های قابل برنامه ریزی میدانی (FPGA) ۶۲
۳-۳) مقایسه FPGA و MPGA ۶۳
۳-۴) مقایسه FPGA و CPLD ۶۴
۳-۵) انواع FPGA ۶۴
۳-۵-۱) انواع FPGA بر اساس ساختار منابع اتصالی ۶۵
۳-۵-۱-۱) ساختار مبتنی بر فیوز ۶۶
۳-۵-۱-۲) تکنولوژی EPROM و EEPROM ۶۶
۳-۵-۱-۳) سویچ های مبتنی بر SRAM ۶۸
۳-۵-۱-۴) تکنولوژی آنتی فیوز ۶۸
۳-۵-۲) انواع FPGA بر اساس نوع عناصر منطقی برنامه پذیر ۷۰
۳-۵-۲-۱) ساختار مبتنی بر جدول جستجو(LUT) ۷۰
۳-۵-۲-۲) ساختار مبتنی بر انتخاب کننده (MUX) ۷۱
۳-۵-۳) انواع FPGA بر اساس آرایش بلوکهای منطقی برنامه پذیر ۷۲
۳-۵-۳-۱) آرایه متقارن ۷۲
۳-۵-۳-۲) ساختار سطری ۷۲
۳-۵-۳-۳) PLD سلسله مراتبی ۷۲
۳-۵-۳-۴) انبوه دروازه ها ۷۳
۳-۶) کاربردهای FPGA ۷۴
۳-۶-۱) مدارات مجتمع با کاربرد خاص ASIC ۷۴
۳-۶-۲) جایگزینی تراشه های SSI ۷۴
۳-۶-۳) ساخت نمونه اولیه ۷۴
۳-۶-۴) ماشین های محاسباتی مبتنی بر FPGA ۷۵
۳-۶-۵) سخت افزار های قابل پیکربندی مجدد درجا ۷۵
۳-۷) شرکت های سازندهٔ FPGA ۷۵

۳-۸) FPGA های شرکت Actel ۷۶
۳-۹) FPGA های شرکت AT&T ۷۷
۳-۱۰) FPGA های شرکت Altera ۷۸
۳-۱۰-۱) خانواده FLEX 8000 ..... ۷۸
۳-۱۰-۲) خانواده FLEX 1000 ..... ۸۱
۳-۱۱) FPGA های شرکت Quicklogic ۸۲
۳-۱۲) FPGA های شرکت Xilinix ۸۴
۳-۱۳) FPGA های سری XC4000 از شرکت Xilinix ۸۴
۳-۱۳-۱) بلوک منطقی برنامه پذیر (CLB) ۸۷
۳-۱۳-۲) بلوک ورودی و خروجی (IOB) ۹۰
۳-۱۳-۳) اتصالات قابل برنامه ریزی ۹۱

فصل چهارم : زبان توصیف سخت افزار VHDL ۹۷
۴-۱) مقدمه ۹۷
۴-۲) توصیف رفتاری و ساختاری ۹۹
۴-۳) ساختار کلی یک فایل VHDL ۱۰۰
۴-۴) Entity و Architecture ۱۰۲
۴-۴-۱) بخش Entity ۱۰۲
۴-۴-۲) بخش Architecture ۱۰۴
۴-۵) مدل رفتاری ۱۰۴
۴-۶) هم روندی ۱۰۶
۴-۷) زمانبندی رخداد ها ۱۰۶
۴-۸) توصیف ساختاری ۱۰۷
۴-۹) طراحی سلسله مراتبی ۱۱۰
۴-۱۰) کتابخانه و بسته ها ۱۱۲
۴-۱۱) عناصر گرامری زبان VHDL ۱۱۴
۴-۱۱-۱) شناسه ها ۱۱۴
۴-۱۱-۲) کلمات کلیدی (رزرو شده) ۱۱۵
۴-۱۱-۳) اعداد ۱۱۶
۴-۱۱-۴) کاراکترها رشته ها و رشته های بیتی ۱۱۶
۴-۱۲) اشیاء داده ای ۱۱۷
۴-۱۲-۱) ثابت (constant) ۱۱۷

عنوان	فهرست مطالب	صفحه

۴-۱۲-۲) متغیر(Variable) ۱۱۸
۴-۱۲-۳) سیگنال (Signal) ۱۱۸
۴-۱۳) انواع داده ۱۲۰
۴-۱۳-۱) انواع داده ای که در بسته های استاندارد تعریف شده ۱۲۱
۴-۱۳-۲) انواع User-defined ۱۲۲
۴-۱۳-۲-۱) انواع صحیح ۱۲۲
۴-۱۳-۲-۲) انواع ممیز شناور ۱۲۲
۴-۱۳-۳) انواع فیزیکی (Physical types) ۱۲۲
۴-۱۳-۴) انواع شمارشی (Enumerated Types) ۱۲۴
۴-۱۳-۵) انواع مرکب آرایه و رکورد ۱۲۶
۴-۱۲-۵-۱) نوع آرایه ای ۱۲۶
۴-۱۳-۵-۲) نوع رکورد ۱۲۸
۴-۱۳-۶) تبدیل نوع ۱۲۸
۴-۱۳-۷) خصیصه ها ۱۳۱
۴-۱۳-۷-۱) خصایص سیگنال ۱۳۱
۴-۱۳-۷-۲) خصیصه های اسکالر ۱۳۲
۴-۱۳-۷-۳) خصیصه های آرایه ۱۳۳
۴-۱۴) عملگرها ۱۳۳
۴-۱۴-۱) عملگرهای منطقی ۱۳۴
۴-۱۴-۲) عملگرهای رابطه ای ۱۳۵
۴-۱۴-۳) عملگرهای شیفت ۱۳۶
۴-۱۴-۴) عملگرهای جمع ۱۳۷
۴-۱۴-۵) عملگرهای یکانی ۱۳۸
۴-۱۴-۶) عملگرهای متفرقه ۱۳۹
۴-۱۵) مدلسازی رفتاری : دستورات ترتیبی ۱۴۰
۴-۱۵-۱) پردازه (process) ۱۴۱
۴-۱۵-۲) دستورIF ۱۴۳
۴-۱۵-۳) دستور Case ۱۴۴
۴-۱۴-۴) دستور Loop ۱۴۷
۴-۱۵-۴-۱) دستور Basic Loop ۱۴۷
۴-۱۵-۴-۲) دستور While-Loop ۱۴۸
۴-۱۵-۴-۳) دستور For-Loop ۱۴۹
۴-۱۵-۵) دستورات Next و Exit ۱۴۹

۴-۱۵-۶) دستور wait ۱۵۰
۴-۱۵-۷) دستور Null ۱۵۰
۴-۱۶) مدلسازی جریان داده- دستورات همروند ۱۵۱
۴-۱۶-۱) دستور انتساب سیگنال همروند ساده ۱۵۲
۴-۱۶-۲) دستور انتساب سیگنال شرطی ۱۵۳
۴-۱۶-۳) دستور انتساب سیگنال انتخابی ۱۵۴
۴-۱۷) مدلسازی ساختاری ۱۵۶
۴-۱۷-۱) تعریف مولفه (component) ۱۵۷
۴-۱۷-۲) بکارگیری مولفه ها و اتصال بین آنها ۱۵۸
۴-۱۸) زمانبندی و مدلسازی انواع تاخیر ۱۵۹
۴-۱۸-۱) تأخیر لختی ۱۵۹
۴-۱۸-۲) تأخیر انتقال ۱۶۰
۴-۱۸-۳) تأخیر دلتا ۱۶۲
۴-۱۹) دستور Generic ۱۶۴
۴-۲۰) تعریف کتابخانه و بسته ۱۶۷
۴-۲۱) برنامه های فرعی در VHDL ۱۶۹
۴-۲۱-۱) پروسیجر ۱۶۹
۴-۲۱-۲) فانکشن ۱۷۰
۴-۲۲) کاربرد فایل در VHDL ۱۷۱
۴-۲۲-۱) تعریف فایل ۱۷۱
۴-۲۲-۲) خواندن از فایل ۱۷۲
۴-۲۲-۳) نوشتن در فایل ۱۷۳

فصل پنجم : مجموعه مثال های کاربردی از VHDL ۱۷۵
۵-۱) دروازه های منطقی پایه ۱۷۵
مثال ۵-۱) توصیف یک درایور (بافر) ۱۷۶
مثال ۵-۲) توصیف یک دروازه معکوس کننده ۱۷۷
مثال ۵-۳) توصیف دروازه AND دو ورودی ۱۷۸
مثال ۵-۴) توصیف دروازه OR دو ورودی ۱۷۹
مثال ۵-۵) توصیف یک NAND دو ورودی ۱۸۰
مثال ۵-۶) توصیف یک NOR دو ورودی ۱۸۱
مثال ۵-۷) توصیف یک XOR دو ورودی ۱۸۲
مثال ۵-۸) توصیف یک XNOR دو ورودی ۱۸۳

عنوان	فهرست مطالب	صفحه

۵-۲) طراحی مدارات ترکیبی کابردی و استاندارد ۱۸۴
مثال ۵-۹) توصیف ساختاری یک مدار ترکیبی ساده ۱۸۴
مثال ۵-۱۰) بافر سه حالته ۸ بیتی ۱۸۶
مثال ۵-۱۱) مالتی پلکسر ۴ به ۱ سه بیتی ۱۸۷
مثال ۵-۱۲) دیکودر ۲ به ۴ ..... ۱۸۸
مثال ۵-۱۳) جمع کننده n بیتی ۱۸۹
مثال ۵-۱۴) مقایسه کننده n بیتی ۱۹۰
مثال ۵-۱۵) یک ALU ی ساده ۱۹۱
مثال ۵-۱۶) ضرب کننده ۲ بیتی ۱۹۲
۵-۳) طراحی مدارات ترتیبی و ماشین حالت ۱۹۳
مثال ۵-۱۷) نگهدار D ۱۹۳
مثال ۵-۱۸) فلیپ فلاپ D ۱۹۴
مثال ۵-۱۹) یک JK فلیپ فلاپ ۱۹۵
مثال ۵-۲۰) ثبات n بیتی ۱۹۶
مثال ۵-۲۱) ثبات انتقالی ۱۹۷
مثال ۵-۲۲) شمارنده n بیتی ۱۹۸
مثال ۵-۲۳) ماشین حالت مور ۱۹۹
مثال ۵-۲۴) ماشین مور با ورودی ریست ۲۰۱
مثال ۵-۲۵) آشکارساز توالی بیت (ماشین مور) ۲۰۳
مثال ۵-۲۶) ماشین میلی ۲۰۶
مثال ۵-۲۷) آشکارساز توالی بیت (ماشین میلی) ۲۰۸
مثال ۵-۲۸) RAM با ورودی و خروجی مجزا ۲۱۰
مثال ۵-۲۹) RAM دو درگاهه ۴×۴ ..... ۲۱۱
مثال ۵-۳۰) RAM با گذرگاه ورودی/ خروجی دوطرفه ۲۱۳
مثال ۵-۳۱) حافظه فقط خواندنی (ROM) ۲۱۴
مثال ۵-۳۲) مولد شکل موج ۲۱۵
مثال ۵-۳۳) مولد هوشمند شکل موج ۲۱۷
۵-۴) پردازنده های خاص ۲۱۹
مثال ۵-۳۴) محاسبه کننده ب.م.م ترکیبی ۲۱۹
مثال ۵-۳۵) محاسبه کننده ب.م.م ترتیبی (واحد کنترل با مسیرداده توکار) ۲۲۰
مثال ۵-۳۶) محاسبه کننده ب.م.م (واحد کنترل و مسیر داده مجزا) ۲۲۲
مثال ۵-۳۷) یک مدار پل ساده (واحد کنترل با مسیر داده توکار) ۲۲۸
مثال ۵-۳۸) یک مدار پل ساده (واحد کنترل و مسیر داده مجزا) ۲۳۰

۵-۵) طراحی یک ریزپردازنده ساده ۲۳۵
۵-۵-۱) طراحی مسیر داده ۲۳۷
۵-۵-۱-۱) انتخاب کننده ۲۳۹
۵-۵-۱-۲) بانک ثبات ۲۴۰
۵-۵-۱-۳) تعریف ALU ۲۴۲
۵-۵-۱-۴) بافر خروجی ۲۴۲
۵-۵-۲) واحد کنترل ۲۴۴
۵-۵-۲-۱) شمارنده برنامه PC ۲۴۶
۵-۵-۲-۲) ثبات دستورالعمل ۲۴۷
۵-۵-۲-۳) انتخاب کننده ۲۴۸
۵-۵-۲-۴) ماشین حالت واحد کنترل ۲۴۹
۵-۵-۳) حافظه ۲۵۴
۵-۵-۴) ساختار کلی طرح ۲۵۶

فصل ششم : نرم افزار MAX+PLUS II ۲۵۹
۶-۱) مقدمه ۲۵۹
۶-۲) ابزارهای MAX+PLUS II ۲۵۹
۶-۲-۱) نمایشگر سلسله مراتبی (Hierarchy Display) ۲۵۹
۶-۲-۲) ویرایشگر متنی (Text Editor) ۲۶۰
۶-۲-۳) ویرایشگر گرافیکی (Graphic Editor) ۲۶۰
۶-۲-۴) ویرایشگر شکل موج (Waveform Editor) ۲۶۰
۶-۲-۵) ویرایشگر سمبل (Symbol Editor) ۲۶۱
۶-۲-۶) ویرایشگر پایه ها (Floorplan Editor) ۲۶۱
۶-۲-۷) کامپایلر (Compiler) ۲۶۱
۶-۲-۸) شبیه ساز (Simulator) ۲۶۲
۶-۲-۹) تحلیلگر زمانی (Timing Analyzer) ۲۶۳
۶-۳) انواع قالب فایل ۲۶۳
۶-۴) وارد کردن یک برنامه VHDL ۲۶۳
۶-۵) انتخاب تراشه برنامه پذیر ۲۶۶
۶-۶) اختیارات بهینه سازی ۲۶۶
۶-۷) کامپایل پروژه ۲۶۶
۶-۷-۱) مشاهده گزارش پروژه ۲۶۸
۶-۷-۲) اختیارات فایل گزارش ۲۶۸

عنوان	فهرست مطالب	صفحه

۶-۸) شبیه سازی طرح ۲۶۹
۶-۸-۱) ایجاد شکل موج ۲۷۰
۶-۸-۲) درج سیگنال های ورودی و خروجی ۲۷۰
۶-۸-۳) تنظیم طول و مقیاس زمان شبیه سازی ۲۷۱
۶-۸-۴) تنظیم ترتیب سیگنالها ۲۷۲
۶-۸-۵) مقدار دهی به سیگنالها ۲۷۲
۶-۹) اجرای برنامه شبیه ساز ۲۷۳
۶-۹-۱) شبیه سازی عملیاتی ۲۷۳
۶-۹-۲) شبیه سازی زمانی ۲۷۴
۶-۹-۳) طراحی شماتیک با استفاده از ویرایشگر گرافیکی ۲۷۵
۶-۱۰) ایجاد و ویرایش یک سمبل برای طرح VHDL ۲۷۵
۶-۱۰-۱) درج سمبل های کتابخانه ای در طرح ۲۷۶
۶-۱۰-۲) درج سمبل های ایجاد شده توسط کاربر ۲۷۷
۶-۱۰-۳) رسم مدار شماتیک ۲۷۸
۶-۱۱) طراحی سلسله مراتبی ۲۷۹
۶-۱۲) گذاشتن برچسب برای سیم های اتصال ۲۸۰
۶-۱۳) رسم خطوط باس ۲۸۱
۶-۱۴) تهیه نسخه پشتیبان ۲۸۲
۶-۱۵) تخصیص منابع تراشه به مدار ۲۸۴
۶-۱۶) کتابخانه های MAX+PLUS II ۲۸۷
۶-۱۶-۱) کتابخانه عناصر اولیه ۲۸۸
۶-۱۶-۲) کتابخانه درشت تابع ها ۲۸۸
۶-۱۶-۳) کتابخانه پیمانه های پارامتری ۲۸۹
۶-۱۶-۳-۱) پیمانه LPM_ADD_SUB ۲۹۰
۶-۱۶-۳-۲) پیمانه LPM_MUX ۲۹۰
۶-۱۶-۳-۳) پیمانه LPM_ROM ۲۹۱
۶-۱۶-۳-۴) استفاده پیمانه های پارامتری در زبان VHDL ۲۹۱
۶-۱۶-۴) توابع MegaCore و OpenCore ۲۹۲
۶-۱۷) باس چند بعدی ۲۹۲
۶-۱۸) اتصال باس یک بعدی به باس چند بعدی ۲۹۳
۶-۱۹) خطاهای رایج در ویرایش شماتیک ۲۹۴
۶-۲۰) خطاهای رایج VHDL ۲۹۵

عنوان	فهرست مطالب	صفحه

فصل هفتم : آزمایشگاه طراحی خودکار ۲۹۷

۷-۱) آزمایش اول : طراحی یک ثبات چهار بیتی با سیگنالهای کنترل Load و Clear ۲۹۷

۷-۱-۱) طراحی یک ثبات یک بیتی ۲۹۷

۷-۱-۱-۱) شبیه سازی عملیاتی ۲۹۸

۷-۱-۱-۲) شبیه سازی با خصوصیات زمانی خانواده Max 7000 ..... ۲۹۸

۷-۱-۱-۳) شبیه سازی با خصوصیات زمانی خانواده Flex 10K ۲۹۸

۷-۱-۲) طراحی یک ثبات چهار بیتی ۲۹۹

۷-۱-۲-۱) شبیه سازی عملیاتی ۳۰۰

۷-۱-۳) پرسش ها ۳۰۰

۷-۲) آزمایش دوم : جمع کننده اشباعی علامت دار/ بدون علامت ۳۰۱

۷-۲-۱) شرح جمع کننده اشباعی ۳۰۱

۷-۲-۲) طراحی جمع کننده اشباعی علامت دار ۳۰۱

۷-۲-۳) ارزیابی طرح بر اساس یک محیط آزمایش ۳۰۲

۷-۲-۴) تحلیل زمانی ۳۰۳

۷-۲-۵) پرسش ها ۳۰۴

۷-۳) آزمایش سوم : طراحی یک ترکیب کننده گرافیکی ۳۰۵

۷-۳-۱) شرح ترکیب کننده گرافیکی ۳۰۵

۷-۳-۲) طراحی ضرب کننده ۳۰۶

۷-۳-۲-۱) استفاده از پیمانه LPM_MULT ۳۰۶

۷-۳-۲-۲) استفاده از پیمانه LPM_MUX ۳۰۷

۷-۳-۳) طراحی ترکیب کننده ۳۰۷

۷-۳-۴) اختیارات سنتز (حالت NORMAL) ۳۰۸

۷-۳-۵) اختیارات سنتز (حالت FAST) ۳۰۸

۷-۳-۶) پرسش ها ۳۰۹

۷-۴) آزمایش چهارم : تحلیل زمانی مدارها و خط لوله ۳۱۰

۷-۴-۱) انواع تحلیل زمانی ۳۱۰

۷-۴-۱-۱) ماتریس تأخیر ۳۱۰

۷-۴-۱-۲) ماتریس برقراری ۳۱۰

۷-۴-۱-۳) کارایی ثبت شده ۳۱۱

۷-۴-۲) تحلیل زمانی تمام جمع کننده ۳۱۱

۷-۴-۳) تحلیل زمانی جمع کننده سریال ۳۱۱

۷-۴-۴) تحلیل زمانی ضرب کننده بدون خط لوله ۳۱۲

۷-۴-۵) تحلیل زمانی ضرب کننده خط لوله ۳۱۲

۷-۴-۶) شبیه سازی زمانی ضرب کننده خط لوله ۳۱۳
۷-۴-۷)پیاده سازی مدار Blend بصورت خط لوله ۳۱۳
۷-۵) آزمایش پنجم : آشنایی با DataPath و FSM ۳۱۴
۷-۵-۱) طراحی حافظه استاتیک سنکرون با قابلیت انتقال بلوکی ۳۱۴
۷-۵-۱-۱) ورودی ها ۳۱۴
۷-۵-۱-۲) خروجی ها ۳۱۵
۷-۵-۱-۳) مدار DataPath ۳۱۵
۷-۵-۱-۴) پیاده سازی ماشین حالت ۳۱۷
۷-۵-۱-۵) آزمایش طرح ۳۱۷
۷-۵-۲) افزایش قابلیت صفر کردن بلوکی ۳۱۷
۷-۶) آزمایش ششم : یک فیلتر پایین گذر ساده ۳۱۸
۷-۶-۱) طراحی با VHDL ۳۱۸
۷-۶-۲) شبیه سازی طرح ۳۱۸
۷-۷) آزمایش هفتم : طراحی یک Register Box 4×4 ۳۱۹
۷-۷-۱) شرح جعبه ثبات ۳۱۹
۷-۷-۲) طراحی جعبه ثبات بصورت شماتیک ۳۱۹
۷-۷-۳) طراحی جعبه ثبات با زبان VHDL ۳۱۹
۷-۸) آزمایش هشتم : طراحی یک سیستم پنجره های ثباتی همپوش ۳۲۰
۷-۸-۱) شرح پنجره ثباتی همپوش ۳۲۰
۷-۸-۲) جعبه ثبات ۸×۶۸ ۳۲۰
۷-۸-۳) طراحی پنجره ثباتی همپوش ۳۲۰
۷-۹) آزمایش نهم : تولید سیگنالهای کنترولی ۳۲۱
۷-۹-۱) شرح آزمایش ۳۲۱
۷-۹-۲) طراحی مدار ۳۲۱
۷-۱۰) آزمایش دهم : چراغ های چشمک زن Flashing Lights ۳۲۲
۷-۱۰-۱) شرح آزمایش ۳۲۲
۷-۱۰-۲) طراحی ماشین حالت ۳۲۲
۷-۱۰-۳) حافظه برنامه ۳۲۳
۷-۱۰-۴) ثبات دستورالعمل (IR) ۳۲۳
۷-۱۰-۵) ثبات های A و B ۳۲۴
۷-۱۰-۶) مدار انتخاب کننده ۳۲۴
۷-۱۰-۷) انجام آزمایش ۳۲۵