پیشگفتار ..... ف
فصل اول: مقدمه و تعاریف اساسی ۱
۱-۱) طراحی خودکار ۱
۱-۲) نمونه اولیه ۲
۱-۳) تولید ۲
۱-۴) ابزارهای طراحی بکمک کامپیوتر (CAD Tools) ۴
۱-۵) مدل‌سازی سخت‌افزار (Hardware Modeling) ۴
۱-۶) سطوح مختلف انتزاع ۵
۱-۷) نمودار Y ۵
۱-۸) بهینه‌سازی ۶
۱-۹) سطح فیزیکی ۷
۱-۱۰) سطح منطقی ۷
۱-۱۱) سطح ریزمعماری ۷
۱-۱۲) سطح معماری ۸
۱-۱۳) سطح سیستم ۸
۱-۱۴) شبیه‌ساز ۸
۱-۱۵) ابزار سنتز ۹
۱-۱۶) مراحل طراحی بکمک کامپیوتر ۹
۱-۱۷) سخت‌افزارهای برنامه پذیر ۱۱
۱-۱۸) مزایای استفاده از مدارات برنامه پذیر ۱۱

فصل دوم: سخت‌افزارهای برنامه پذیر ۱۵
۲-۱) مقدمه ۱۵
۲-۲) حافظه فقط خواندنی قابل‌برنامه‌ریزی(PROM) ۱۷
۲-۳) افزاره منطقی برنامه پذیر PLD ۱۸
۲-۴) آرایه‌های منطقی قابل‌برنامه‌ریزی PLA ۱۹
۲-۵) منطق آرایه‌ای برنامه پذیر PAL ۲۳
۲-۵-۱) منطق‌های آرایه‌ای قابل‌برنامه‌ریزی ترکیبی Combinational PALs ۲۴
۲-۵-۲) منطق آرایه‌ای قابل‌برنامه‌ریزی ترتیبی Sequential PAL ۲۷
۲-۶) منطق آرایه‌ای عمومی (GAL) ۳۰
۲-۶-۱) منطق آرایه‌ای عمومی ترکیبی (Combinational GAL) ۳۲
۲-۶-۱-۱) پیکربندی GAL16V8C ۳۲
۲-۶-۱-۲) پیکربندی GAL16V8S ۳۲
۲-۶-۲) منطق آرایه‌ای عمومی ترتیبی (Sequential GAL) ۳۵

۲-۷) فنّاوری ساخت PLD ها ۴۰
۲-۷-۱) افزاره منطقی برنامه پذیر دوقطبی (Bipolar PLD) ۴۰
۲-۷-۲) افزاره منطقی برنامه پذیر سیماس (CMOS PLD) ۴۲
۲-۷-۳) ابزارهای منطقی قابل‌برنامه‌ریزی و پاک شدن (EPLD ها) ۴۳
۲-۷-۴) فنّاوری گیت شناور ۴۴

فصل سوم: زبان توصیف سخت‌افزار VHDL ۴۵
۳-۱) ساختار کلی یک برنامه VHDL ۴۷
۳-۱-۱) بخش Entity ۴۸
۳-۱-۲) بخش Architecture ۵۰
۳-۲) انواع توصیف در زبان VHDL ۵۲
۳-۳) توصیف رفتاری : دستورات انتساب همروند ۵۳
۳-۳-۱) دستور انتساب سیگنال هم‌روند ساده ۵۳
۳-۳-۲) توصیف VHDL مدارهای ترکیبی ساده ۵۴
۳-۳-۳) تعریف سیگنال داخلی ۵۵
۳-۳-۴) هم‌روندی ۵۶
۳-۳-۵) زمان‌بندی رخدادها با استفاده از تأخیر ۵۶
۳-۳-۶) استفاده از نوع std_logic در تعریف سیگنال ۵۷
۳-۳-۷) تابع رزولوشن نوع std_logic ۵۸
۳-۳-۸) دستور انتساب سیگنال شرطی ۵۹
۳-۳-۹) استفاده از نوع std_logic_vector در تعریف سیگنال ۶۲
۳-۳-۱۰) عملگرهای محاسباتی و مقایسه‌ای ۶۴
۳-۳-۱۱) استفاده از نوع signed و unsigned در تعریف سیگنال ۶۵
۳-۳-۱۲) استفاده از نوع Integer در تعریف سیگنال ۶۸
۳-۳-۱۳) دستور انتساب سیگنال انتخابی ۶۹
۳-۳-۱۴) پیاده‌سازی توابع منطقی بر اساس جدول درستی ۷۱
۳-۳-۱۵) نوشتن برنامه آزمون (Testbench) ۷۲
۳-۴) توصیف ساختاری ۷۸
۳-۴-۱) ایجاد نمونه مستقیم (Direct Instantiation) ۷۹
۳-۴-۲) ایجاد نمونه با تعریف مؤلفه (Component Instantiation) ۸۰
۳-۴-۳) طراحی سلسله مراتبی ۸۴
۳-۴-۴) زمان‌بندی و مدل‌سازی انواع تأخیر ۸۸
۳-۴-۴-۱) تأخیر لختی ۸۸
۳-۴-۴-۲) تأخیر انتقال ۸۹

۳-۴-۴-۳) تأخیر دلتا: ۹۱
۳-۴-۵) چند توصیف برای یک Entity ۹۳
۳-۴-۶) دستور Generic ۹۵
۳-۴-۷) دستور for generate ۹۸
۳-۵) توصیف رفتاری : دستورات ترتیبی ۱۰۳
۳-۵-۱) قالب دستور پردازه (process) ۱۰۳
۳-۵-۲) لیست حساسیت ۱۰۴
۳-۵-۳) توصیف مدارات ترکیبی با استفاده از پردازه ۱۰۵
۳-۵-۴) دستورIF ۱۰۷
۳-۵-۵) توصیف مدارات ترتیبی با استفاده از پردازه ۱۰۸
۳-۵-۶) دستور Case ۱۰۹
۳-۵-۷) توصیف ماشین حالت با استفاده از پردازه ۱۱۱
۳-۵-۸) توصیف حافظه ۱۱۴
۳-۵-۹) دستور Loop ۱۱۶
۳-۵-۹-۱) دستور Basic Loop ۱۱۷
۳-۵-۹-۲) دستور While-Loop ۱۱۸
۳-۵-۹-۳) دستور For-Loop ۱۱۸
۳-۵-۱۰) دستورات Next و Exit ۱۱۸
۳-۵-۱۱) دستور wait ۱۱۹
۳-۵-۱۲) دستور Null ۱۲۰
۳-۶) عناصر گرامری زبان VHDL ۱۲۲
۳-۶-۱) شناسه‌ها ۱۲۲
۳-۶-۲) کلمات کلیدی (رزرو شده) ۱۲۳
۳-۶-۳) اعداد ۱۲۴
۳-۶-۴) کاراکترها، رشته‌ها و رشته‌های بیتی ۱۲۴
۳-۷) اشیاء داده‌ای : متغیرها، ثابت‌ها و سیگنال‌ها ۱۲۵
۳-۷-۱) ثابت (Constant) ۱۲۶
۳-۷-۲) متغیر(Variable) ۱۲۶
۳-۷-۳) سیگنال (Signal) ۱۲۷
۳-۸) انواع داده ۱۲۹
۳-۸-۱) انواع داده‌ای استاندارد ۱۳۰
۳-۸-۲) انواع کاربرتعریف ۱۳۱
۳-۸-۲-۱) انواع کاربرتعریف صحیح ۱۳۲
۳-۸-۲-۲) انواع کاربرتعریف ممیز شناور ۱۳۲

۳-۸-۳) انواع فیزیکی (Physical types) ۱۳۳
۳-۸-۴) انواع شمارشی (Enumerated Types) ۱۳۴
۳-۸-۵) انواع مرکب آرایه و رکورد ۱۳۵
۳-۸-۵-۱) نوع آرایه‌ای ۱۳۵
۳-۸-۵-۲) نوع رکورد ۱۳۷
۳-۸-۶) تبدیل نوع ۱۳۹
۳-۸-۷) خصیصه‌ها ۱۴۱
۳-۸-۷-۱) خصایص سیگنال ۱۴۲
۳-۸-۷-۲) خصیصه‌های اسکالر ۱۴۳
۳-۸-۷-۳) خصیصه‌های آرایه ۱۴۴
۳-۹) عملگرها ۱۴۵
۳-۹-۱) عملگرهای منطقی ۱۴۵
۳-۹-۲) عملگرهای رابطه‌ای ۱۴۶
۳-۹-۳) عملگرهای شیفت ۱۴۷
۳-۹-۴) عملگرهای جمع ۱۴۹
۳-۹-۵) عملگرهای یکانی ۱۵۰
۳-۹-۶) عملگرهای ضرب ۱۵۰
۳-۹-۷) عملگرهای متفرقه ۱۵۱
۳-۱۰) برنامه‌های فرعی در VHDL ۱۵۲
۳-۱۰-۱) تابع ۱۵۲
۳-۱۰-۲) روال ۱۵۳
۳-۱۱) کاربرد فایل در VHDL ۱۵۵
۳-۱۱-۱) تعریف فایل ۱۵۵
۳-۱۱-۲) باز کردن و بستن فایل ۱۵۶
۳-۱۱-۳) نوشتن در فایل ۱۵۷
۳-۱۱-۴) خواندن از فایل ۱۵۸
۳-۱۲) کتابخانه و بسته‌ها ۱۶۰
۳-۱۲-۱) بکارگیری کتابخانه و بسته‌های موجود ۱۶۰
۳-۱۲-۲) تعریف کتابخانه و بسته ۱۶۱
۳-۱۳) استفاده از مدل‌سازی گرافیکی و کاربرد آن در طراحی ۱۶۳
۳-۱۳-۱) ماشین حالت محدود (FSM) ۱۶۴
۳-۱۳-۲) ماشین حالت محدود توسعه یافته (EFSM) ۱۶۶
۳-۱۳-۳) شبکه پتری (PN) ۱۷۲
۳-۱۳-۴) ارتباط ۴ فازه غیرهمزمان ۱۷۴
۳-۱۴) جمع‌بندی فصل ۱۷۵

فصل چهارم: مجموعه مثال‌های کاربردی VHDL ۱۸۱
۴-۱) دروازه‌های منطقی پایه ۱۸۱
مثال ۴-۱) توصیف یک درایور (بافر) ۱۸۲
مثال ۴-۲) توصیف یک دروازه معکوس کننده ۱۸۳
مثال ۴-۳) توصیف دروازه AND دو ورودی ۱۸۴
مثال ۴-۴) توصیف دروازه OR دو ورودی ۱۸۵
مثال ۴-۵) توصیف یک NAND دو ورودی ۱۸۶
مثال ۴-۶) توصیف یک NOR دو ورودی ۱۸۷
مثال ۴-۷) توصیف یک XOR دو ورودی ۱۸۸
مثال ۴-۸) توصیف یک XNOR دو ورودی ۱۸۹
۴-۲) طراحی مدارات ترکیبی کاربردی و استاندارد ۱۹۰
مثال ۴-۹) توصیف ساختاری یک مدار ترکیبی ساده ۱۹۰
مثال ۴-۱۰) بافر سه‌حالته ۸ بیتی ۱۹۱
مثال ۴-۱۱) مالتی پلکسر ۴ به ۱ سه بیتی ۱۹۲
مثال ۴-۱۲) دیکودر ۲ به ۴ ..... ۱۹۳
مثال ۴-۱۳) جمع کننده n بیتی ۱۹۴
مثال ۴-۱۴) مقایسه کننده n بیتی ۱۹۵
مثال ۴-۱۵) یک ALU ی ساده ۱۹۶
مثال ۴-۱۶) ضرب کننده ۲ بیتی ۱۹۷
۴-۳) طراحی مدارات ترتیبی و ماشین حالت ۱۹۸
مثال ۴-۱۷) نگهدار D ۱۹۸
مثال ۴-۱۸) فلیپ فلاپ D ۱۹۹
مثال ۴-۱۹) یک JK فلیپ فلاپ ۲۰۰
مثال ۴-۲۰) ثبات n بیتی ۲۰۱
مثال ۴-۲۱) ثبات انتقالی ۲۰۲
مثال ۴-۲۲) شمارنده n بیتی ۲۰۳
مثال ۴-۲۳) ماشین حالت مور ۲۰۴
مثال ۴-۲۴) ماشین مور با ورودی ریست ۲۰۶
مثال ۴-۲۵) آشکارساز توالی بیت (ماشین مور) ۲۰۸
مثال ۴-۲۶) ماشین میلی ۲۱۱
مثال ۴-۲۷) آشکارساز توالی بیت (ماشین میلی) ۲۱۳
مثال ۴-۲۸) RAM با ورودی و خروجی مجزا ۲۱۵
مثال ۴-۲۹) RAM دو درگاهه ۴×۴ ..... ۲۱۶
مثال ۴-۳۰) RAM با گذرگاه ورودی/ خروجی دوطرفه ۲۱۸

مثال ۴-۳۱) حافظه فقط خواندنی (ROM) ۲۱۹
مثال ۴-۳۲) مولد شکل موج ۲۲۰
مثال ۴-۳۳) مولد هوشمند شکل موج ۲۲۲
۴-۴) پردازنده‌های خاص ۲۲۴
مثال ۴-۳۴) محاسبه کننده ب.م.م ترکیبی ۲۲۵
مثال ۴-۳۵) محاسبه کننده ب.م.م ترتیبی (واحد کنترل با مسیر داده توکار) ۲۲۶
مثال ۴- ۳۶) محاسبه کننده ب.م.م (واحد کنترل و مسیر داده مجزا) ۲۲۷
مثال ۴-۳۷) یک مدار پل ساده (واحد کنترل با مسیر داده توکار) ۲۳۳
مثال ۴-۳۸) یک مدار پل ساده (واحد کنترل و مسیر داده مجزا) ۲۳۵
۴-۵) طراحی یک ریزپردازنده ساده ۲۳۹
۴-۵-۱) طراحی مسیر داده ۲۴۱
۴-۵-۱-۱) انتخاب‌کننده ۲۴۲
۴-۵-۱-۲) بانک ثبات ۲۴۳
۴-۵-۱-۳) تعریف ALU ۲۴۵
۴-۵-۱-۴) بافر خروجی ۲۴۶
۴-۵-۲) واحد کنترل ۲۴۷
۴-۵-۲-۱) شمارنده برنامه PC ۲۴۸
۴-۵-۲-۲) ثبات دستورالعمل ۲۴۹
۴-۵-۲-۳) انتخاب‌کننده ۲۵۰
۴-۵-۲-۴) ماشین حالت واحد کنترل ۲۵۱
۵-۵-۳) حافظه ۲۵۶
۵-۵-۴) ساختار کلی طرح ۲۵۸

فصل پنجم: نرم‌افزار ModelSim ۲۵۹
۵-۱) ایجاد و تنظیم مسیر پوشه‌ی پروژه ۲۶۰
۵-۲) ایجاد پروژه جدید ۲۶۱
۵-۳) کامپایل پروژه و رفع خطاهای احتمالی ۲۶۴
۵-۴) شبیه‌سازی پروژه با استفاده از برنامه آزمون ۲۶۶
۵-۵) اعمال تغییرات در کد و شبیه‌سازی مجدد ۲۷۰

فصل ششم: سخت‌افزارهای برنامه پذیر ۲۷۳
۶-۱) آرایه‌ی دروازه‌های برنامه‌پذیر نقابی (MPGA) ۲۷۳
۶-۲) آرایه‌ی دروازه‌های قابل برنامه‌ریزی میدانی (FPGA) ۲۷۴
۶-۳) مقایسه FPGA و MPGA ۲۷۵

۶-۴) مقایسه FPGA و CPLD ۲۷۶
۶-۵) انواع FPGA ۲۷۶
۶-۵-۱) انواع FPGA بر اساس ساختار منابع اتصالی ۲۷۷
۶-۵-۱-۱) ساختار مبتنی بر فیوز ۲۷۸
۶-۵-۱-۲) فنّاوری EPROM و EEPROM ۲۷۸
۶-۵-۱-۳) سویچ‌های مبتنی بر SRAM ۲۸۰
۶-۵-۱-۴) فنّاوری آنتی فیوز ۲۸۰
۶-۵-۲) انواع FPGA بر اساس نوع عناصر منطقی برنامه پذیر ۲۸۲
۶-۵-۲-۱) ساختار مبتنی بر جدول جستجو(LUT) ۲۸۲
۶-۵-۲-۲) ساختار مبتنی بر انتخاب‌کننده (MUX) ۲۸۳
۶-۵-۳) انواع FPGA بر اساس آرایش بلوک‌های منطقی برنامه پذیر ۲۸۴
۶-۵-۳-۱) آرایه متقارن: ۲۸۴
۶-۵-۳-۲) ساختار سطری ۲۸۴
۶-۵-۳-۳) PLD سلسله مراتبی ۲۸۴
۶-۵-۳-۴) انبوه دروازه‌ها ۲۸۵
۶-۶) کاربردهای FPGA ۲۸۶
۶-۶-۱) مدارات مجتمع با کاربرد خاص ASIC ۲۸۶
۶-۶-۲) جایگزینی تراشه‌های SSI ۲۸۶
۶-۶-۳) ساخت نمونه اولیه ۲۸۶
۶-۶-۴) ماشین‌های محاسباتی مبتنی بر FPGA ۲۸۷
۶-۶-۵) سخت‌افزارهای قابل پیکربندی مجدد درجا ۲۸۷
۶-۷) شرکت‌های سازنده‌ی FPGA ۲۸۷
۶-۸) FPGAهای شرکت Actel ۲۸۸
۶-۹) FPGAهای شرکت AT&T ۲۸۹
۶-۱۰) FPGAهای شرکت Altera ۲۹۰
۶-۱۰-۱) خانواده FLEX 8000 ..... ۲۹۰
۶-۱۰-۲) خانواده FLEX 1000 ..... ۲۹۳
۶-۱۱) FPGAهای شرکت Quicklogic ۲۹۴
۶-۱۲) FPGAهای شرکت Xilinix ۲۹۶
۶-۱۳) FPGAهای سری XC4000 از شرکت Xilinix ۲۹۶
۶-۱۳-۱) بلوک منطقی برنامه پذیر (CLB) ۲۹۹
۶-۱۳-۲) بلوک ورودی و خروجی (IOB) ۳۰۲
۶-۱۳-۳) اتصالات قابل برنامه‌ریزی ۳۰۳

فصل هفتم: نرم‌افزار Quartus II ۳۰۹
۷-۱) ابزارهای Quartus II ۳۰۹
۷-۱-۱) ویرایشگر متنی (Text Editor) ۳۰۹
۷-۱-۲) ویرایشگر گرافیکی (Graphic Editor) ۳۱۰
۷-۱-۳) نمایشگر سلسله مراتبی (Hierarchy Display) ۳۱۰
۷-۱-۴) ویرایشگر نماد (Symbol Editor) ۳۱۰
۷-۱-۵) ویرایشگر ماشین حالت (State Machine Editor) ۳۱۱
۷-۱-۶) ابزار طراحی در سطح سیستم Qsys ۳۱۱
۷-۱-۷) ویرایشگر شکل موج (Waveform Editor) ۳۱۱
۷-۱-۸) ویرایشگر نقشه‌ی پایه‌ها (Pin Planner) ۳۱۱
۷-۱-۹) کامپایلر (Compiler) ۳۱۲
۷-۱-۱۰) شبیه‌ساز (Simulator) ۳۱۳
۷-۲) مراحل مختلف انجام یک پروژه در نرم‌افزار Quartus II ۳۱۴
۷-۲-۱) ایجاد یک پروژه جدید ۳۱۴
۷-۲-۲) توصیف طرح به زبان VHDL ۳۱۷
۷-۲-۳) تعیین بالاترین سطح سلسله مراتب طرح ۳۱۷
۷-۲-۴) کامپایل طرح ۳۱۷
۷-۳) شبیه‌سازی طرح با اعمال شکل موج ۳۲۰
۷-۳-۱) ایجاد یک پنجره جدید برای ویراستار شکل موج ۳۲۰
۷-۳-۲) افزودن نام سیگنال‌ها به پنجره شکل موج ۳۲۱
۷-۳-۳) تنظیم طول و مقیاس زمان شبیه‌سازی ۳۲۲
۷-۳-۴) تنظیم ترتیب سیگنال‌ها ۳۲۳
۷-۳-۵) مقداردهی به سیگنال‌های ورودی ۳۲۳
۷-۳-۶) انتخاب شبیه‌ساز ۳۲۵
۷-۳-۷) اجرای شبیه‌سازی عملیاتی ۳۲۵
۷-۳-۸) اجرای شبیه‌سازی زمانی ۳۲۶
۷-۴) شبیه‌سازی طرح با نوشتن برنامه آزمون ۳۲۷
۷-۴-۱) معرفی مسیر برنامه شبیه‌ساز Altera ModelSim ۳۲۷
۷-۴-۲) انجام تنظیمات مربوط شبیه‌سازی ۳۲۷
۷-۴-۳) اجرای شبیه‌سازی عملیاتی ۳۳۰
۷-۴-۴) اجرای شبیه‌سازی زمانی ۳۳۰
۷-۵) طراحی شماتیک با استفاده از ویرایشگر گرافیکی ۳۳۲
۷-۵-۱) ایجاد و ویرایش یک نماد برای طرح VHDL ۳۳۲
۷-۵-۲) درج نمادهای کتابخانه‌ای در طرح ۳۳۳

۷-۵-۳) رسم مدار شماتیک ۳۳۳
۷-۵-۴) طراحی سلسله مراتبی ۳۳۶
۷-۵-۵) گذاشتن برچسب برای سیم‌های اتصال ۳۴۰
۷-۵-۶) رسم خطوط باس ۳۴۱
۷-۶) تخصیص منابع تراشه به مدار ۳۴۲
۷-۶-۱) انتخاب تراشه برنامه‌پذیر ۳۴۲
۷-۶-۲) طرح‌ریزی پایه‌ها (Pin Planner) ۳۴۳
۷-۶-۳) طرح‌ریزی تراشه (Chip Planner) ۳۴۶
۷-۷) برنامه‌ریزی تراشه ۳۴۷
۷-۷-۱) تعیین وضعیت پایه‌های استفاده نشده‌ی تراشه ۳۴۷
۷-۷-۲) تولید فایل برنامه‌ریزی تراشه FPGA ۳۴۹
۷-۷-۳) انتخاب پروگرامر و شروع برنامه‌ریزی ۳۴۹
۷-۸) چند نکته کاربردی مفید ۳۴۹
۷-۸-۱) استفاده از قالب کدهای آماده ۳۵۰
۷-۸-۲) نام‌گذاری فایل VHDL ۳۵۰
۷-۸-۳) افزودن فایل جاری به پروژه ۳۵۱
۷-۸-۴) پاک کردن انتساب‌ها ۳۵۱
۷-۸-۵) کپی برداری از پروژه ۳۵۱
۷-۸-۶) تهیه نسخه پشتیبان از پروژه ۳۵۲

فصل هشتم: آزمایشگاه طراحی خودکار ۳۵۳
۸-۱) آزمایش اول : طراحی یک ثبات چهاربیتی با سیگنال‌های کنترل Load و Clear ۳۵۴
۸-۱-۱) طراحی ثبات چهاربیتی ۳۵۴
۸-۱-۲) شبیه‌سازی عملیاتی در ModelSim ۳۵۴
۸-۱-۳) شبیه‌سازی عملیاتی در Quartus II ۳۵۴
۸-۱-۴) شبیه‌سازی با خصوصیات زمانی تراشه‌ی مقصد ۳۵۴
۸-۱-۵) برنامه‌ریزی روی FPGA ۳۵۵
۸-۱-۶) پرسش‌ها ۳۵۵
۸-۲) آزمایش دوم : جمع کننده اشباعی بدون علامت ۳۵۶
۸-۲-۱) شرح جمع کننده اشباعی ۳۵۶
۸-۲-۲) شماتیک جمع کننده اشباعی بدون علامت ۳۵۶
۸-۲-۳) طراحی جمع کننده اشباعی علامت‌دار ۳۵۶
۸-۲-۴) ارزیابی طرح بر اساس یک محیط آزمایش ۳۵۷
۸-۲-۵) تحلیل زمانی مدارات ترکیبی ۳۵۸

۸-۲-۶) پرسش‌های آزمایش۲ ..... ۳۵۸
۸-۳) آزمایش سوم : طراحی یک ترکیب‌کننده گرافیکی ۳۵۹
۸-۳-۱) شرح ترکیب‌کننده گرافیکی ۳۵۹
۸-۳-۲) طراحی ضرب کننده مخصوص ترکیب‌کننده ۳۶۰
۸-۳-۲-۱) استفاده از پیمانه LPM_MULT ۳۶۰
۸-۳-۲-۲) استفاده از پیمانه LPM_MUX ۳۶۱
۸-۳-۳) طراحی ترکیب‌کننده ۳۶۱
۸-۳-۴) اختیارات سنتز ۳۶۲
۸-۳-۵) پرسش‌های آزمایش۳ ..... ۳۶۲
۸-۴) آزمایش چهارم : تحلیل زمانی مدارها و خط لوله ۳۶۳
۸-۴-۱) انواع تحلیل زمانی ۳۶۳
۸-۴-۱-۱) تأخیر پایه به پایه از ورودی به خروجی ۳۶۳
۸-۴-۱-۲) تأخیر کلاک تا خروجی ۳۶۳
۸-۴-۱-۳) زمان برقراری ۳۶۳
۸-۴-۱-۴) زمان نگهداشت ۳۶۴
۸-۴-۱-۵) تأخیر طولانی‌ترین مسیر ۳۶۴
۸-۴-۲) تحلیل زمانی تمام جمع کننده ۳۶۴
۸-۴-۳) تحلیل زمانی جمع کننده سریال ۳۶۵
۸-۴-۴) تحلیل زمانی ضرب کننده بدون خط لوله ۳۶۵
۸-۴-۵) تحلیل زمانی ضرب کننده خط لوله ۳۶۵
۸-۴-۶) شبیه‌سازی زمانی ضرب کننده خط لوله ۳۶۶
۸-۴-۷)پیاده‌سازی مدار ترکیب بصورت خط لوله ۳۶۶
۸-۵) آزمایش پنجم : آشنایی با DataPath و FSM ۳۶۷
۸-۵-۱) طراحی حافظه استاتیک سنکرون با قابلیت انتقال بلوکی ۳۶۷
۸-۵-۱-۱) ورودی‌ها ۳۶۷
۸-۵-۱-۲) خروجی‌ها ۳۶۷
۸-۵-۱-۳) مدار مسیر داده ۳۶۸
۸-۵-۱-۴) پیاده‌سازی ماشین حالت ۳۶۸
۸-۵-۱-۵) آزمایش طرح ۳۷۰
۸-۵-۲) افزایش قابلیت صفر کردن بلوکی ۳۷۰
۸-۶) آزمایش ششم : یک فیلتر پایین گذر ساده ۳۷۱
۸-۶-۱) طراحی با VHDL ۳۷۱
۸-۶-۲) شبیه‌سازی طرح ۳۷۱
۸-۶-۳) سنتز طرح ۳۷۱

۸-۷) آزمایش هفتم : طراحی یک جعبه ثبات ۳۲×۸ ..... ۳۷۲
۸-۷-۱) شرح جعبه ثبات ۳۷۲
۸-۷-۲) طراحی جعبه ثبات بصورت شماتیک ۳۷۲
۸-۷-۳) طراحی جعبه ثبات با زبان VHDL ۳۷۲
۸-۷-۴) شبیه‌سازی طرح ۳۷۲
۸-۸) آزمایش هشتم : طراحی یک سیستم پنجره‌های ثباتی همپوش ۳۷۳
۸-۸-۱) شرح پنجره ثباتی همپوش ۳۷۳
۸-۸-۲) جعبه ثبات ۶۸×۸ ..... ۳۷۳
۸-۸-۳) طراحی پنجره ثباتی همپوش ۳۷۳
۸-۹) آزمایش نهم: تولید سیگنال‌های کنترلی ۳۷۴
۸-۹-۱) شرح آزمایش ۳۷۴
۸-۹-۲) طراحی مدار ۳۷۴
۸-۹-۳) شبیه‌سازی طرح ۳۷۴
۸-۱۰) آزمایش دهم: چراغ‌های چشمک‌زن Flashing Lights ۳۷۵
۸-۱۰-۱) شرح آزمایش ۳۷۵
۸-۱۰-۲) طراحی ماشین حالت ۳۷۵
۸-۱۰-۳) حافظه برنامه ۳۷۶
۸-۱۰-۴) ثبات دستورالعمل (IR) ۳۷۶
۸-۱۰-۵) ثبات‌های Accumulator و Light ۳۷۷
۸-۱۰-۶) مدار انتخاب‌کننده ۳۷۷
۸-۱۰-۷) انجام آزمایش ۳۷۸
فهرست منابع ۳۷۹